УО «Белорусский государственный университет информатики и радиоэлектроники»

Кафедра ПОИТ

Отчет по лабораторной работе № 1

по предмету «Архитектура компьютерной техники и операционных систем»

Вариант 14

Выполнил:

Наривончик А.М.

гр. 351004

Проверил:

Аврамец Д.В.

Минск 2024

**Задание №1**

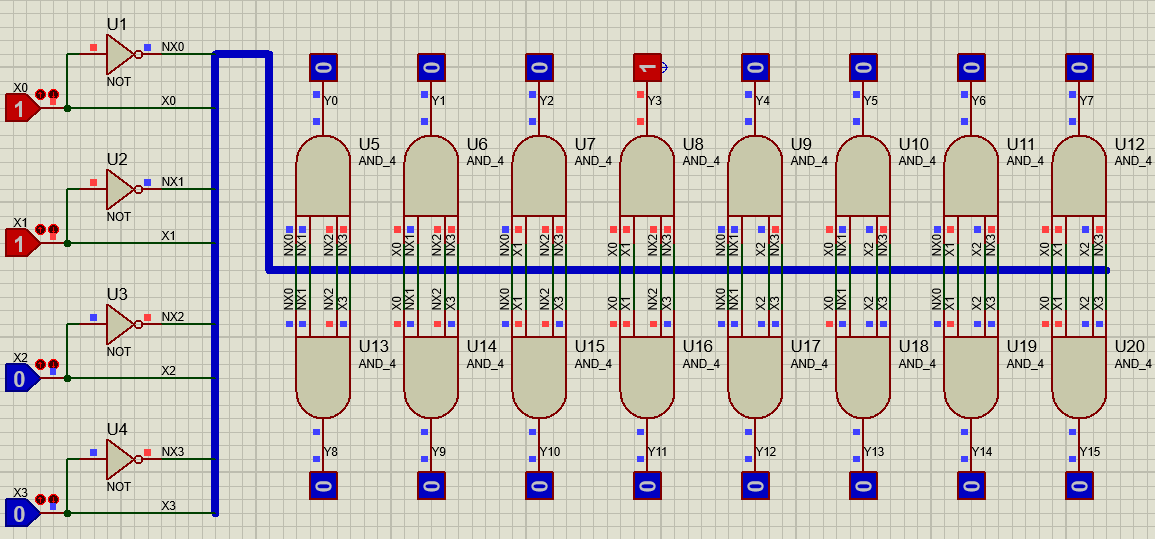
Дешифратор (число входов 4)

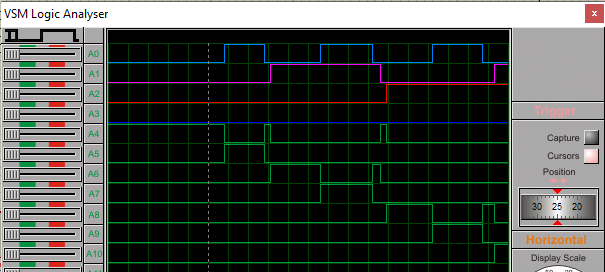
**Дешифратор** (декодер) - устройство, преобразующее входной n-разрядный двоичный код в m-разрядный позиционный код. Дешифраторы широко применяются в устройствах управления, для построения распределителей импульсов по различным цепям, в элементах памяти и др. Таблица истинности дешифратора имеет вид:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| X3X2X1X0 | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 | Y8 | Y9 | Y10 | Y11 | Y12 | Y13 | Y14 | Y15 |
| 0000 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0001 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0010 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0011 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0100 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0101 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0110 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0111 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1000 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1001 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1010 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1011 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1100 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1101 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1110 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1111 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

СДНФ

|  |  |
| --- | --- |
| Yi | СДНФ |
| Y0 |  |
| Y1 | X0 |
| Y2 | X1 |
| Y3 | X1X0 |
| Y4 | X2 |
| Y5 | X2X0 |
| Y6 | X2X1 |
| Y7 | X2X1X0 |
| Y8 |  |
| Y9 | X0 |
| Y10 | X1 |
| Y11 | X1X0 |
| Y12 | X2 |
| Y13 | X2X0 |
| Y14 | X2X1 |
| Y15 | X2X1X0 |

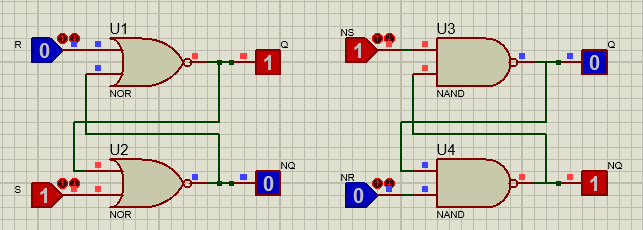


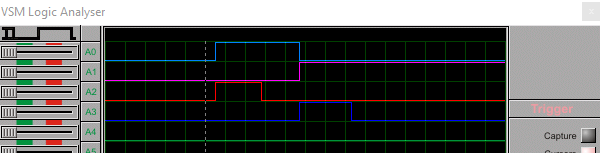


**Задание №2**

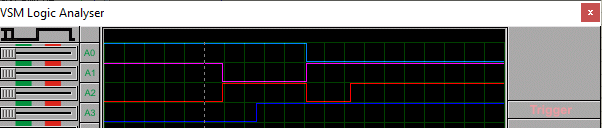
Асинхронный RS - триггер

**Триггер** – это устройство последовательного типа с двумя устойчивыми состояниями предназначенное для записи и хранения и чтения информации (RS, D, T и JK). **Асинхронные** триггеры – триггеры, которые переключаются в момент подачи входных сигналов. Триггер может быть реализован как на элементах NOR так и на элементах NAND.





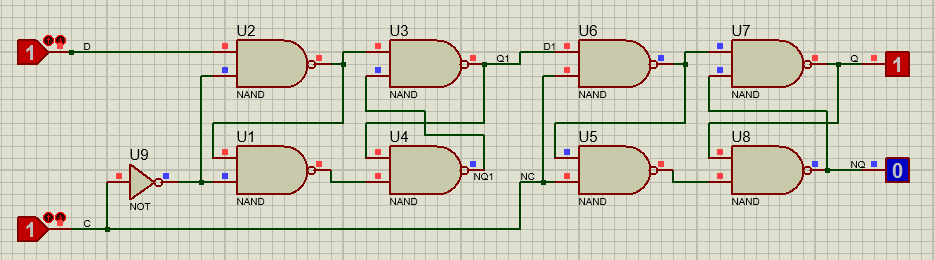
Триггер на элементах NOR

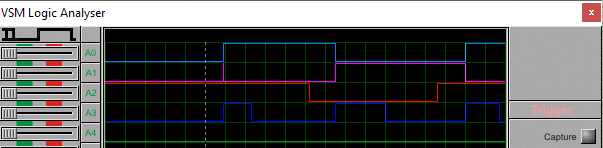


Триггер на элементах NAND

**Задание №3**

Двухтактный D-триггер





**Задание №4**

Суммирующий счетчик

